

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-164617

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H01L 21/60

(21)Application number : 10-334175

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 25.11.1998

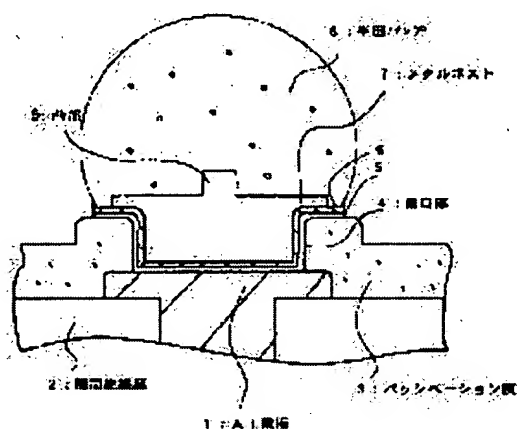
(72)Inventor : TOKUSHIGE TOSHIMICHI  
TAKAI NOBUYUKI  
SHINOKI HIROYUKI

## (54) CHIP-SIZED PACKAGE AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve reliability of a chip-sized package by improving the adhesion of a metal post and a solder bump.

**SOLUTION:** By forming a metal post 7 wherein a protrusion 9 is formed on the upper surface part, adhesion surface area of the metal post 7 and a solder bump 8 is increased, and reliability when a chip size package is mounted on a mounting board is improved. Especially when the chip size package is mounted on the mounting board, even if stress is applied due to mounting stress as in the conventional case, solder cracks are stopped with the protrusion 9 by the effects thereof, and the adhesive strength of the solder bump 8 can be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-164617  
(P2000-164617A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 21/60		H 0 1 L 21/92	6 0 2 E 6 0 2 H

審査請求 未請求 請求項の数 4 O L (全 6 頁)

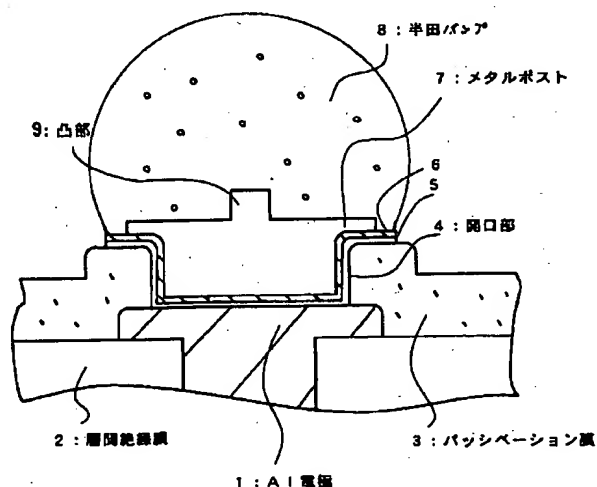
(21) 出願番号	特願平10-334175	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通 2 丁目 5 番 5 号
(22) 出願日	平成10年11月25日 (1998.11.25)	(72) 発明者	徳重 利洋智 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(72) 発明者	高井 信行 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(72) 発明者	篠木 裕之 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(74) 代理人	100111383 弁理士 芝野 正雅

(54) 【発明の名称】 チップサイズパッケージおよびその製造方法

(57) 【要約】

【課題】 メタルポストと半田バンプとの密着強度を向上させることで、チップサイズパッケージの信頼性を向上させる。

【解決手段】 その上面部に凸部9が形成されたメタルポスト7を形成することで、このメタルポスト7と半田バンプ8との密着表面積が増大することになり、チップサイズパッケージと実装基板との実装時における信頼性が向上する。



## 【特許請求の範囲】

【請求項1】 金属電極パッドを含むチップ表面を被覆する絶縁層と、前記金属電極パッド上の絶縁層に形成された開口部と、この開口部に形成された金属ポストと、この金属ポストに固着された半田バンプとを具備するチップサイズパッケージに於いて、前記金属ポストの上面部には、前記半田バンプとの密着性を高めるための凸部が形成されていることを特徴とするチップサイズパッケージ。

【請求項2】 金属電極パッドに接続され、チップ表面に延在する配線層と、この配線層を含むチップ表面を被覆する絶縁層と、前記配線層上の絶縁層に形成された開口部と、この開口部に形成された金属ポストと、この金属ポストに固着された半田バンプとを具備するチップサイズパッケージに於いて、前記金属ポストの上面部には、前記半田バンプとの密着性を高めるための凸部が形成されていることを特徴とするチップサイズパッケージ。

【請求項3】 金属電極パッドを含むチップ表面を第1の絶縁層で被覆する工程と、前記金属電極パッド上の第1の絶縁層に開口部を形成した後、この開口部内に第1の金属層を形成する工程と、前記第1の金属層上に少なくともその上面部よりも小さい開口部を有する第2の絶縁層を形成する工程と、前記開口部内に第2の金属層を形成した後に、前記第2の絶縁層を除去して前記第1の金属層と第2の金属層から成る金属ポストを形成する工程と、前記金属ポスト上に半田バンプを形成する工程とを具備したことを特徴とするチップサイズパッケージの製造方法。

【請求項4】 金属電極パッドに接続され、チップ表面に延在する配線層を形成する工程と、前記配線層を含むチップ表面を第1の絶縁層で被覆する工程と、前記配線層上の第1の絶縁層に開口部を形成した後、この開口部内に第1の金属層を形成する工程と、前記第1の金属層上に少なくともその上面部よりも小さい開口部を有する第2の絶縁層を形成する工程と、前記開口部内に第2の金属層を形成した後に、前記第2の絶縁層を除去して前記第1の金属層と第2の金属層から成る金属ポストを形成する工程と、前記金属ポスト上に半田バンプを形成する工程とを具備したことを特徴とするチップサイズパッケージの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、チップサイズパッケージとその製造方法に関する。チップサイズパッケージ (Chip Size Package) は、CSPとも呼ばれ、チップサイズと同等か、わずかに大きいパッケージの総称で

あり、高密度実装を目的としたパッケージである。本発明は、CSPに採用される金属ポストと半田バンプとの密着性を高めて、チップサイズパッケージの信頼性を向上させる技術に関する。

## 【0002】

【従来の技術】 従来、この分野では、一般にBGA (Ball Grid Array) と呼ばれ、面状に配列された複数のハンダボールを持つ構造、ファインピッチBGAと呼ばれ、BGAのボールピッチをさらに狭ピッチにして外形がチップサイズに近くなった構造等が知られている。

【0003】 また、最近では、「日経マイクロデバイス」1998年8月号、第44頁～第71頁に記載されたウエハーCSPがある。このウエハーCSPは、基本的には、チップのダイシング前に配線やアレイ状のパッドをウエハープロセス (前工程) で作り込むCSPである。この技術によって、ウエハープロセスとパッケージ・プロセス (後工程) が一体化され、パッケージ・コストが大幅に低減できるようになることが期待されている。

【0004】 ウエハーCSPの種類には、封止樹脂型と再配線型がある。封止樹脂型は、従来のパッケージと同様に表面を封止樹脂で覆った構造であり、チップ表面の配線層上に金属ポストを形成し、その周囲を封止樹脂で固める構造である。

【0005】 一般にパッケージをプリント基板に搭載すると、プリント基板との熱膨張差によって発生した応力が金属ポストに集中すると言われているが、樹脂封止型では、金属ポストが長くなるため、応力が分散されると考えられている。

【0006】 一方、再配線型は、図5に示すように、封止樹脂を使わず、再配線を形成した構造である。つまりチップ51の表面にA1電極52、配線層53、絶縁層54が積層され、配線層53上には金属ポスト55が形成され、その上に半田バンプ56が形成されている。配線層53は、半田バンプ56をチップ上に所定のアレイ状に配置するための再配線として用いられる。

【0007】 封止樹脂型は、金属ポストを100 $\mu$ m程度と長くし、これを封止樹脂で補強することにより、高い信頼性が得られる。しかしながら、100 $\mu$ m程度の金属ポストを形成するにはホトレジスト層の露光限界が20～30 $\mu$ m程度であるため、複数回の露光作業が必要となり生産性が悪く、また、封止樹脂を形成するプロセスは、後工程において金型を用いて実施する必要があり、プロセスが複雑になる。

【0008】 一方、再配線型では、プロセスは比較的単純であり、しかも殆どの工程をウエハープロセスで実施できる利点がある。しかし、なんらかの方法で実装基板からの応力を緩和し信頼性を高めることが必要とされている。

## 【0009】

【発明が解決しようとする課題】しかし、半田バンプ56は、溶融時の表面張力により球体になり、ネック（メタルポストとの半田融着部が細くなる部分）が形成されるため、図6に示すように実装基板61の被着面62との実装時に、ここに応力が加わり半田クラックが発生する問題があった。

【0010】また、メタルポスト径が微細化されるに従って、メタルポストと半田バンプとの密着強度が低下して信頼性が低下することになる。

【0011】

【課題を解決するための手段】本発明のチップサイズパッケージとその製造方法は上記の課題に鑑みてなされ、メタルポスト7の上面部に凸部9が形成されていることで、半田バンプとの密着表面積が増大し、信頼性が向上する。

【0012】そして、そのようなメタルポスト7の形成は、まず、通常のメタルポストの形成工程と同様にし、A1電極1あるいはA1電極1に接続された配線層10を被覆するように開口部4を有するパッシベーション膜3あるいはポリイミド層12を形成した後、この開口部4内にメタルポスト用の第1の金属層7Aを形成する。そして、前記第1の金属層7A上に少なくともその上面部よりも小さい開口部12Bを有するポリイミド層12Aを形成し、この開口部12B内にメタルポスト用の第2の金属層7Bを形成した後に、前記ポリイミド層12Aを除去して前記第1の金属層7Aと第2の金属層7Bから成るメタルポスト7を形成するものである。

【0013】

【発明の実施の形態】以下、本発明の実施形態について説明する。図1は、ICチップの表面に形成されたA1電極の真上に半田バンプを形成したものであり、図2は、配線層を延在させ、この上に形成したものである。

【0014】まず、前者の第1の実施形態について説明する。

【0015】半導体ICは、素子数の増加に伴い、1層メタル、2層メタル、3層メタル…等が採用され、最上層のメタルの上には、Si窒化膜やPIX等のパッシベーション膜が被覆されている。

【0016】図1では、前記最上層のメタル（金属電極パッド、以下A1電極と呼ぶ。）を図番1で示し、このA1電極1のコンタクトホールが形成される層間絶縁膜を図番2で示す。更には、パッシベーション膜を図番3で示す。ここでパッシベーション膜3は、Si窒化膜、エポキシ樹脂またはPIX等である。

【0017】続いて、このパッシベーション膜3には、A1電極1を露出する開口部4が形成され、ここには、バリアメタルとして、下からTi、TiNやCr等から成る後述するCu層用のバリア層5、Cu層6が形成されている。このバリアメタル5、6は、開口部の中およびその周辺に延在するようにパターンニングされてい

る。

【0018】更には、このバリアメタルの上には、メタルポスト7が形成されている。このメタルポスト7は、例えば半田バンプ8と親和性の良いCuやAu等から成り、下地のCuに例えば電解メッキにより形成される。しかし、蒸着、スパッタリング等で形成されても良い。

【0019】そして半田バンプ8が形成されている。ここで半田バンプ8は、下地のCuに電解メッキにより形成される。尚、前記半田バンプ8の形成は、電解メッキ法に限らず、印刷法でもボンダー等を用いた形成法であっても良い。

【0020】本発明の特徴は、前記メタルポスト7の形状にある。すなわち、図1に示すようにメタルポスト7の上面部に凸部9が形成されていることで、半田バンプ8との密着表面積が増大することになり、密着強度が増大し、信頼性が向上するものである。

【0021】続いて、第2の実施形態について図2を参照しながら説明する。本実施形態は、図5のような配線層53を採用したものである。

【0022】図2に於いても、最上層のメタル（A1電極）を図番1で示し、このA1電極1のコンタクトホールが形成される層間絶縁膜を図番2で示す。更には、パッシベーション膜を図番3で示す。ここでパッシベーション膜3は、Si窒化膜、エポキシ樹脂またはPIX等である。

【0023】続いて、このパッシベーション膜3は、A1電極1を露出する開口部13が形成され、ここには、バリアメタルとして、Cr、Ti、TiN等から選択されて形成される。このバリアメタル11は、開口部13の中およびその周辺だけに形成されても良い。そして、この上には、配線層10が形成される。ここでは、バリアメタル11をメッキ電極として活用し、Cuが形成されている。

【0024】続いて、絶縁樹脂から成る樹脂層（例えば、ポリイミド層12）等が形成され、配線層10の端部に開口部4が形成され、この開口部4に、下からTi、TiNやCr等から成る後述するCu層用のバリア層5、Cu層6が形成されている。このバリアメタル5、6は、開口部の中およびその周辺に延在するようにパターンニングされている。

【0025】また、このバリアメタル5、6の上には、メタルポスト7が形成されている。このメタルポスト7は、例えば半田バンプ8と親和性の良いCu等から成り、例えば電解メッキで形成される。しかし蒸着、スパッタリング等で形成されても良い。

【0026】そして半田バンプ8が形成される。ここで半田バンプ8は、下地のCuに電解メッキにより形成される。尚、印刷法でもボンダーを用いた形成法であっても良い。

【0027】本発明の特徴は、前記メタルポスト7の形

状にある。すなわち、図2に示すようにメタルポスト7の上面部に凸部9が形成されていることで、半田バンプ8との密着表面積が増大することになり、密着強度が増大し、信頼性が向上するものである。

【0028】図3は本発明のCSPと実装基板との実装状態を示した図（本発明の効果が顕著に表れるように、両者の実装位置がずれて、実装条件が厳しい状態を示してある。）であり、半田バンプ8と実装基板61の被着面62との実装時に、従来のように実装ストレスにより応力が加わり半田クラックが発生しそうになった（あるいは発生した）としても、前記凸部9の存在により、この凸部9で半田クラックが止まることになる。

【0029】尚、メタルポスト7と半田バンプ8との密着表面積を増大させるという目的をかなえるのであれば、第1、第2の実施形態で説明した凸部9に代えて、メタルポストの上面部に凹部を設ける方法もあるが、この場合には、前述した図3に示したような実装状態において、凸部9ほど密着強度が高くなり、半田バンプ8がそっくり抜けてしまうおそれがある。もし、凹部でもって、密着強度を高めたいとした場合には、その凹部の断面形状を矩形状にするよりも、開口部の上面に向かうに従って開口径が狭くなった形状にするほど密着強度の高いものが得られる。

【0030】更に言えば、密着強度の高まる凸部9の形状は、種々の形状のものが考えられるが、例えば、凸部9を上から見た状態で説明すれば、第1、第2の実施形態のようにメタルポスト7の中央部に形成される構成であっても良く、上面部の複数箇所に形成されていても良く、その凸部9の上面部の形状が円形でも良く、また、三角形や四角形や十字形…等の角部があった方が半田バンプ8との密着性が良くなると考えられる。尚、凸部9と凹部とを併せ持った構造のメタルポストを採用しても良い。

【0031】また、今後、メタルポスト径が微細化されるに従って、メタルポストと半田バンプとの密着強度の低下が予想されるが、本発明を採用することで密着強度の低下を抑えられる。

【0032】続いて、本発明のCSP構造の一般的な製造方法について簡単に説明する。尚、前述した第1、第2の実施形態の構造は、実質的にA1電極1上にメタルポスト7を形成するか、A1電極1上に接続された配線層10を介してメタルポスト7を形成するかの違いであるため、図2に示す第2の実施形態のCSP構造におけるその製造方法についてのみ説明するが、前記メタルポスト7の形成は、本発明の特徴を為す工程であるため、図4を参照しながら説明する。

【0033】先ず、A1電極1を有するLSIが形成された半導体基板（ウエハー）を準備し、半導体基板の表面をSiN膜、PIXなどのパッシベーション膜3で被覆する。

【0034】A1電極1はLSIの外部接続用のパッドである。その表面のパッシベーション膜3をエッチングによって取り除き、全面にバリアメタル11を形成する。バリアメタル11は、後に形成する配線層10とA1電極1との間に介在してA1電極1を保護するバリアであり、Cr、Ti、TiNなどをスパッタして形成する。

【0035】次に、A1電極1に接続する配線層10を形成する。この配線層10は機械的強度を確保するために5 $\mu$ m程度に厚く形成する必要があり、メッキ法を用いて形成するのが適当である。しかし蒸着やスパッタリング等で形成しても良い。バリアメタル11上であって配線層10を形成する領域を除く領域にホトレジスト層を形成し、バリアメタル11をメッキの電極として利用し、ホトレジスト層で覆われていないバリアメタル11上にCuのメッキ層からなる配線層10を形成する。この後、ホトレジスト層を除去し、さらに、配線層10をマスクとして用いてエッチングを行い、バリアメタル11の不要部分を除去する。

【0036】次に、ポリイミド層12を全面に塗布し、露光・現像により、配線層10上のポリイミド層12に開口部4を形成する。膜厚は、最大で20 $\mu$ m~25 $\mu$ mである。また開口部4の開口径は、50 $\mu$ m程度が良い。尚、現像後は200℃程度の温度下でポリイミド層12をベーキングすると良い。

【0037】次いで、メッキのためのシード層としてCr5、Cu6を形成し、この上に電解メッキによりCuから成るメタルポスト7を形成する。ここで、メタルポスト7の形成は、以下のようにして行われる。

【0038】先ず、図4(a)において、ポリイミド層12を全面に塗布し、露光・現像により、配線層10上のポリイミド層12に開口部4を形成した後に、メッキのためのシード層としてCr5、Cu6を形成し、この上にポリイミド層20を介して電解メッキによりCuから成る第1の金属層7Aを形成する。

【0039】続いて、図4(b)に示すように、前記第1の金属層7Aを被覆するようにポリイミド層21を全面に塗布し、露光・現像により、このポリイミド層21に第1の金属層7Aの上面部より少なくとも小さいサイズの開口部22を形成した後に、電解メッキによりCuから成る第2の金属層7Bを形成する。

【0040】更に、図4(c)に示すように、前記ポリイミド層21を除去することで、前記第1の金属層7Aと第2の金属層7Bから成るメタルポスト7を形成する。

【0041】そして、このメタルポスト7が露出するように不図示のホトレジスト層を形成し、半田バンプ8を形成する。

【0042】最後に、ホトレジスト層を除去し、半田バンプ8をマスクとして、シード層の不要部分をエッチン

グにより除去する。そして、半導体基板をダイシング工程により、スクライプラインに沿ってチップに分割し、チップサイズ・パッケージとして完成する。

【0043】以上、本発明は、再配線型で説明してきたが、樹脂封止型でも実施できることは言うまでもない。

【0044】

【発明の効果】本発明によれば、メタルポストの上面部に凸部が形成されていることで、半田バンプとの密着表面積が増大することになり、密着強度が増大し、信頼性が向上する。特に、チップサイズパッケージと実装基板との実装時に、従来のように実装ストレスにより応力が加わっても凸部の存在により、この凸部で半田クラックが止まり、半田バンプの密着強度を向上させることができる。

【0045】更に、メタルポスト径が微細化されるに従って、メタルポストと半田バンプとの密着強度の低下が

予想されるが、本発明を採用することで密着強度の低下を抑えることができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るチップサイズパッケージに用いられるメタルポストを説明する断面図である。

【図2】本発明の実施形態に係るチップサイズパッケージに用いられるメタルポストを説明する断面図である。

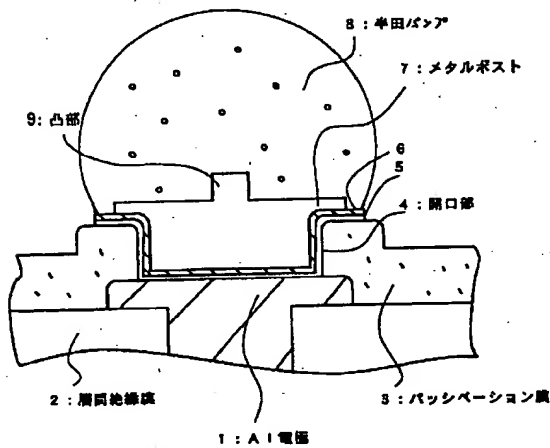
【図3】本発明の実施形態に係るチップサイズパッケージと実装基板との実装状態を説明する断面図である。

【図4】本発明の実施形態に係るチップサイズパッケージに用いられるメタルポストの製造方法を説明する断面図である。

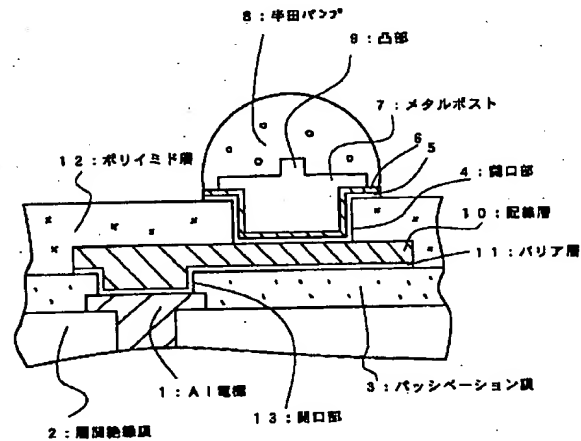
【図5】従来のチップサイズパッケージに用いられるメタルポストを説明する断面図である。

【図6】従来のチップサイズパッケージと実装基板との実装状態を説明する断面図である。

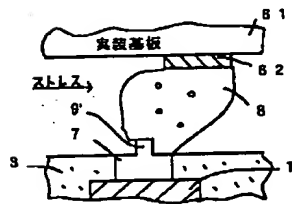
【図1】



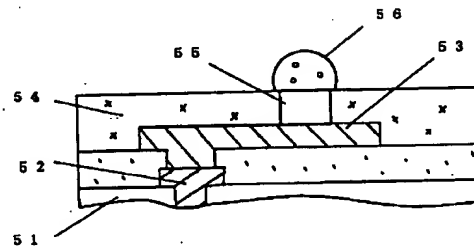
【図2】



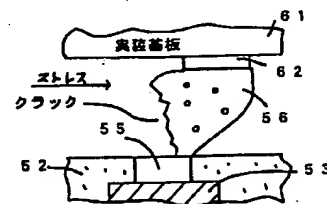
【図3】



【図5】



【図6】



51: チップ

52: A1電極

53: 配線層

54: 絶縁層

55: メタルポスト

56: 半田バンプ

【図4】

